2018

2nd Semester

ELECTRONICS

PAPER—GE2T

(Generic Elective)

Full Marks : 40

Time : 2 Hours

The figures in the margin indicate full marks.

Candidates are required to give their answers in their own words as far as practicable.

Illustrate the answers wherever necessary.

(Digital System Design)

1. Answer any *five* questions : 5×2

(a) Convert the following Hexadecimal number to octal number

$$(2F.C4)_{16}.$$

(b) Simplify the following :

$$A + \overline{A}B + \overline{A}\,\overline{B}C + \overline{A}\,\overline{B}\,\overline{C}\,\overline{D}.$$

(c) Multiplexers are called "Universal logic Module" — why ?

(d) What is fan in and fan out ?

(e) Compare asynchronous and synchronous counter ?

(f) State DeMorgan's theorem.

(g) Why multiplexes is called a data selector ?

(h) Mention different style of VHDL programs.

2. Answer any *four* questions : 4×5

(a) Minimize the following function given below using the k map :

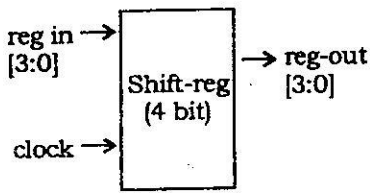
$$f(A, B, C, D) = \sum (0, 1, 2, 3, 5, 6, 8, 10, 15)$$

and realize the function using NAND gates. 3+2

(b) Draw a clocked J–K flip-flop using NAND gates only. Mention its truth table and briefly discuss its operation. 2+1+2

(c) A 4-bit parallel shift register has I/O pins as shown in figure below. Write the module definition for this

shift register. Include the list of ports and port declarations (no need to show the internals).



5

(d) (i) Differentiate between TTL and CMOS logic families.

(ii) What is the Totem-pole configuration of the TTL logic families ? 2+3

(e) Design MOD-6 synchronous counter. 5

(f) (i) What are the basic difference between VHDL and verilog ?

(ii) Write a VHDL programme for a half adder circuit. 2+3

3. Answer any *one* question : 1×10

(a) (i) Find the base if $7_n \times 8_n = (38)_n$.

(ii) What is full adder ? Design and draw the circuit diagram using only NAND gates.

(iii) Design a 4 : 16 decoder using 3 : 8 decoders.

2+(2+3)+3

(b) Briefly discuss about synthesis tools and test benches of VHDL. 5+5

বঙ্গানুবাদ

দক্ষিণ প্রান্তস্থ সংখ্যাগুলি প্রশ্নমান নির্দেশক।

পরীক্ষার্থীদের যথাসম্ভব নিজের ভাষায় উত্তর দেওয়া প্রয়োজন।

১। যে কোন *পাঁচটি* প্রশ্নের উত্তর দাও : 5×২

(ক) নিচের হেক্সাডেসিম্যাল নম্বরটিকে অক্টাল (octal) নম্বরে পরিবর্তিত কর :

$$(2F.C4)_{16}.$$

(খ) নিচের সমীকরণটি সরলীকরণ কর :

$$A+\overline{A}B+\overline{A}\,\overline{B}C+\overline{A}\,\overline{B}\,\overline{C}\,\overline{D}.$$

(গ) মালটিপ্লেক্সার (MUX)-কে কেন "সার্বজনীন logic Module" (Universal logic module) বলে?

(ঘ) Fan in এবং Fan out কাকে বলে?

(ঙ) Asynchronous এবং Synchronous counter-এর মধ্যে পার্থক্য কি?

(চ) De Morgan's theorem বিবৃত কর।

(ছ) VHDL প্রোগ্রাম (program)-এর বিভিন্ন ভাগ বল।

(জ) MUX-কে data selector কেন বলে?

২। যে কোন *চারটি* প্রশ্নের উত্তর দাও : ৪×৫

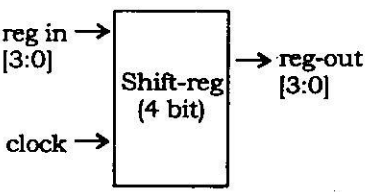
(ক) K-Map-এর মাধ্যমে নিম্নলিখিত সমীকরণটির সরলীকরণ কর এবং NAND Gate-এর মাধ্যমে সরলীকৃত সমীকরণটি অঙ্কন কর :

$$f(A, B, C, D) = \sum(0, 1, 2, 3, 5, 6, 8, 10, 15)$$

৩+২

(খ) শুধুমাত্র NAND Gate দিয়ে clocked J-K flip-flop অঙ্কন কর। উহার Truth table লেখ এবং কার্যপ্রণালী বর্ণনা কর। ২+১+২

(গ) নিম্নলিখিত ছবিটি input/output সম্মিলিত pin যুক্ত একটি 4-bit parallel shift resister প্রদর্শিত আছে। এই shift resister-টির module-এর সংজ্ঞা দাও। অন্তর্ভুক্ত কর বিভিন্ন port এবং portগুলির বর্ণনা কর (অন্তর্নিহিত বর্ণনা অনাবশ্যক)।



৫

(ঘ) (i) TTL এবং CMOS logic পরিবারের মধ্যে পার্থক্য লেখ।

(ii) TTL logic পরিবারের Totem-pole configuration-টি কাকে বলে? ২+৩

(ঙ) MOD-6 synchronous counter তৈরী কর। ৫

(চ) (i) VHDL এবং verilog-এর মধ্যে পার্থক্য কি কি?

(ii) Half Adder বর্তনীর VHDL Program লেখ। ২+৩

৩। যে কোন *একটি* প্রশ্নের উত্তর দাও : ১×১০

(ক) (i) বেস n-এর মান নির্ধারণ কর :

$$7_n \times 8_n = (38)_n.$$

(ii) Full Adder কাকে বলে? শুধুমাত্র NAND Gate দিয়ে Full Adder বর্তনীটির নক্সাচিত্রটি কর।

(iii) 3 : 8 decorders দিয়ে 4 : 16 decoder তৈরী কর।

২+(২+৩)+৩

(খ) VHDL-এর Synthesis tools এবং test bench-এর সম্পর্কে সংক্ষিপ্ত বিবরণ দাও। ৫+৫